

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SUNG-KWON LEE, ET AL.

Application No.:

Filed:

For: **METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-37111	10 June 2003

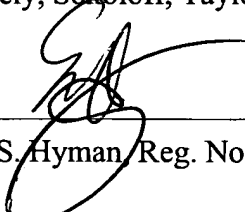
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 29, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0037111
Application Number

출원 년 월 일 : 2003년 06월 10일
Date of Application JUN 10, 2003

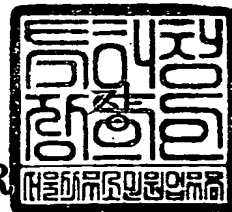
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.06.10
【발명의 명칭】	반도체소자의 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	이민석
【성명의 영문표기】	LEE, Min Suk
【주민등록번호】	720815-1009119
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 121 상록우성아파트 305-1302
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 16 면 16,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 45,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 최상부와 최하부에 질화막을 포함하고 그 중앙에 질화막에 비해 유전율이 낮은 절연성 물질막(예컨대, 산화막)을 포함하는 다중 식각정지막을 그 측벽에 갖는 도전패턴(예컨대, 게이트전극 패턴) 사이에 제1플러그를 형성하기 위해 CMP 공정을 실시한 후, 질화막에 비해 세정 용액에 의한 식각율이 높아 CMP 공정에서 발생된 부산물을 제거하는 과정에서 절연성 물질막의 일부가 손실되어 후속 제2플러그(예컨대, 스토리지노드 콘택 플러그) 형성을 위한 식각 공정에서 상기 손실된 부위를 통해 그 손실이 더욱 심화되어, 결국 도전패턴과 제2플러그가 서로 전기적으로 단락되어 반도체소자의 불량을 야기하는 문제점을 해결하기 위해 도전패턴과 제2플러그 사이에 어택방지막이 게재되도록 형성한다.

이를 위한 그 첫번째 방법으로, 제1플러그 형성을 위한 CMP 및 세정 후 그 전면에 어택방지막을 증착하여 절연성 물질막이 손실된 부분을 채우도록 하여 후속 제2플러그 형성을 위한 식각 공정에서 어택방지막이 도전패턴 하부로 손실이 확장되는 것을 방지하는 것이다.

그 두번째 방법으로는, 제2콘택홀 형성 공정까지 진행한 후, 손실된 절연성 물질막을 따라 도전패턴 부분까지 손실이 확장된 전체 프로파일을 따라 상기 손실된 부분을 충분히 감싸도록 어택방지막을 형성한 다음, 에치백 공정을 통해 제1플러그가 노출되도록 한 후, 제2플러그를 형성함으로써, 어택방지막을 통해 도전패턴과 제2플러그 간의 전기적 단락을 방지하는 것이다.

【대표도】

도 4d

【색인어】

스토리지노드 콘택 플러그, 세정, 어택방지막, 게이트전극 패턴, 질화막, 다중 구조의 식각정지막.

【명세서】**【발명의 명칭】**

반도체소자의 제조 방법{ METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE }

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래의 질화막/산화막/질화막 구조의 식각정지막 구조를 갖는 반도체 장치 제조 공정을 도시한 단면도.

도 2는 도 1b의 CMP 공정 후 실시하는 세정 공정 직후 게이트전극 패턴을 촬영한 단면 SEM 사진.

도 3은 도 1d의 공정이 완료된 공정 단면을 도시한 SEM 사진.

도 4a 내지 도 4d는 본 발명의 일실시예에 따른 반도체소자의 제조 공정을 도시한 단면도.

도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 반도체소자의 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

40 : 기판 41a : 절연막

41b : 전도막 41c : 하드마스크

G: 게이트전극 패턴 42 : 활성층

43a, 43c : 질화막 43b : 산화막

- 44 : 제1층간절연막 47, 52 : 플러그
- 48 : 제2층간절연막 49 : 제3층간절연막
- 51 : 어택방지막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체소자 제조 방법에 관한 것으로, 특히 그 양 끝에 질화막을 갖고 그 중간에 산화막을 갖는 다층 절연막 구조의 식각정지막을 측벽에 갖는 게이트전극 패턴 구조를 포함하는 반도체소자의 제조시 스토리지노드 콘택 플러그와 게이트전극 간의 전기적 단락을 방지할 수 있는 반도체소자 제조 방법에 관한 것이다.
- <15> 반도체 장치에 대한 집적도가 증가함에 따라 식각 대상막의 두께가 증가하게 되었고 이에 따라 식각 공정에 대한 부담이 갈 수록 증가하게 되었다.
- <16> 예컨대, DRAM(Dynamic Random Access Memory)에서 셀콘택과 캐패시터 콘택 형성 공정에서 자기정렬콘택(Self Align Contact; 이하 SAC이라 함)의 식각 방식을 채용하게 되었으며, 이때 과도식각에 따른 게이트전극 또는 비트라인 등의 어택을 방지하고, 또한 SAC 특유의 식각 프로파일을 얻기 위해서 산화막 계열의 층간절연막과 식각선택비를 갖는 질화막 계열의 식각정지막을 게이트전극과 비트라인 등의 도전패턴 측벽 및 상부에 형성하였다.
- <17> 이러한, 식각정지막은 통상 콘택 형성을 위한 식각 공정에서 도전패턴 상부에서는 거의 제거되고 그 측벽에 스페이서 형상으로 남게 된다.

- <18> 식각정지막의 증착 두께가 증가하게 되면, 식각에 따른 도전패턴의 어택을 방지하는 효과가 증가하는 반면, 콘택 오픈 면적을 감소시키기 되므로 보통 얇은 두께로 형성한다.
- <19> 한편, 고집적화가 진전되면서 피치(Pitch)는 점점 감소하고, 각 단위소자의 수직적인 배열이 증가함에 따라 식각 공정에 대한 부담과 그로 인한 과도식각은 더욱 가속화 되어, 단일의 질화막을 이용한 식각정지막으로도 도전패턴의 어택을 방지하고 원하는 식각 프로파일을 얻기가 어려워지게 되었다.
- <20> 따라서, 하이닉스 반도체에서 기출원한 특허출원번호 2001-74183호에 제시된 바와 같이 3중의 질화막 구조 또는 다중의 질화막 구조를 갖는 스페이서를 사용하는 방법을 제안하였다.
- <21> 하지만, 질화막 만을 다중으로 사용하게 되면, 이로 인한 기생 캐패시턴스의 증가와 또한, 이로 인한 셀 캐패시턴스의 감소 등의 문제점을 유발하게 되었다.
- <22> 따라서, 식각 내성을 확보하기 위해 최외곽과 도전패턴에 인접한 부분에서는 질화막을 사용하고 중간에는 산화막을 사용하는 구조를 하이닉스 반도체에서 기출원한 특허출원번호 2001-81289호에 제시된 바와 같이 제안하였다.
- <23> 이렇듯, 다중의 식각정지막 구조를 질화막/산화막/질화막 구조와 같이 중간에 산화막을 사용하게 되면, 질화막을 다중으로 사용하는 경우에 비해 기생 캐패시턴스를 감소시킬 수 있고, 또한 누설 전류 특성을 향상시킬 수 있다.
- <24> 도 1a 내지 도 1d는 종래의 질화막/산화막/질화막 구조의 식각정지막 구조를 갖는 반도체 장치 제조 공정을 도시한 단면도로서, 이를 참조하여 종래의 제조 공정과 문제점을 살펴 본다.

- <25> 도 1a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(10) 상에 절연막(11a)과 전도막(11b) 및 하드마스크(11c)가 적층된 구조의 복수의 게이트전극 패턴(G)과, 게이트전극 패턴(G) 사이의 기판(10)의 표면으로부터 확장된 구조의 활성층(12)을 형성한다.
- <26> 절연막(11a)은 보통 게이트절연막이라 명명하는 것으로 산화막 계열의 물질을 사용하며, 전도막(11b)은 게이트 또는 게이트전극이라 명명하는 것으로 폴리실리콘만을 단독으로 사용하는 구조, 폴리실리콘과 텅스텐 실리사이드가 적층된 폴리사이드 구조, 텅스텐만으로 이루어진 구조 또는 텅스텐과 텅스텐 실리사이드가 적층된 구조 등 다양한 구조로 형성이 가능하다.
- <27> 활성층(12)은 보통 P형 또는 N형의 불순물 이온주입과 열확산을 통해 형성하는 것으로, 소스/드레인 접합 등이 이에 해당한다.
- <28> 게이트전극 패턴(G)이 형성된 전체 프로파일을 따라 질화막(13a)과 산화막(13b) 및 질화막(13c)을 각각 얇게 증착하여 3중 구조의 식각정지막(S)을 형성한다.
- <29> 식각정지막(S)이 형성된 전면에 게이트전극 패턴(G) 사이를 충분히 매립하면서 그 상부가 평탄한 제1층간절연막(14)을 형성한다.
- <30> 제1층간절연막(14)은 산화막 계열을 사용한다. 제1층간절연막(14)으로 사용되는 산화막 계열의 물질막으로는 BPSG(Boro Phospho Silicate Glass)막, BSG(Boro Silicate Glass)막, PSG(Phospho Silicate Glass)막, TEOS(Tetra-Ethyl Ortho Silicate)막, HDP(High Density Plasma) 산화막, APL(Advanced Planarization Layer)막, 유기 또는 무기 계열의 저유전율막(Low-k) 등을 단독 또는 적층하여 사용한다. 한편, 막 증착 후 상부의 평탄성을 확보하기 위해 별도의 플로우 공정과 평탄화 공정을 실시하기도 한다.

- <31> 제1층간절연막(14) 상에 포토레지스트를 도포하고 노광 및 현상 공정을 실시하여 셀 콘택을 위한 마스크인 포토레지스트 패턴(15)을 형성한 다음, SAC 식각 공정을 통해 셀 콘택을 위한 콘택홀(도시하지 않음)을 형성한다.
- <32> SAC 식각 공정을 구체적으로 살펴 보면, 먼저 포토레지스트 패턴(15)을 식각마스크로 제1층간절연막(14)을 식각(16)한 후, 질화막(13c)/산화막(13b)/질화막(13a)을 차례로 식각하여 활성층(12)이 노출되도록 한 후, 세정 공정을 통해 콘택 오픈 면적을 확보하고 식각 부산물을 제거한다.
- <33> SAC 식각 공정시에는 C와 F를 함유하는 CF_4 등의 가스와 C,H,F를 포함하는 CH_2F_2 등의 가스를 혼합하여 사용한다.
- <34> 이어서, 콘택홀이 형성된 전면에 폴리실리콘 등의 플러그 형성용 물질을 증착한 다음, 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함) 공정을 통해 서로 격리된 복수의 플러그(17)를 형성한다.
- <35> 한편, CMP 공정시에는 연마 성분을 포함하는 부식성의 슬러리(Slurry)를 사용한다. 이때, 주로 SiO_2 또는 CeO_2 계열의 슬러리를 사용하며, 이러한 슬러리의 찌꺼기가 CMP 공정 후 잔류하게 된다.
- <36> 따라서, CMP 공정 후에는 별도의 세정 공정이 필요하며, 이 때 사용되는 세정액으로는 묽은 불산(HF) 또는 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함)가 사용된다.
- <37> 한편, 불산계 용액(불산을 포함하는 용액)은 산화막에 대한 식각률이 상당히 높아, 전술한 플러그(17) 격리 후 실시하는 세정시에 게이트전극 패턴(G)의 측벽 스페이서 형태의 식각정지막(S) 중 산화막(13b)에 대한 선택적인 식각이 이루어지게 된다.

- <38> 도 1b의 도면부호 'a'는 세정 공정에 의해 산화막(13b) 상부의 일부가 손실된 것을 나타낸다.
- <39> 한편, 도 2는 도 1b의 CMP 공정 후 실시하는 세정 공정 직후 게이트전극 패턴을 촬영한 단면 SEM(Scanning Electron Microscopy) 사진이다.
- <40> 도 2를 참조하면, 게이트전극 패턴(G)의 측벽에 질화막/산화막/질화막의 3중으로 형성된 식각정지막(S) 중 산화막으로 이루어진 중간 부분에서 손실(a)이 발생하였음을 알 수 있다.
- <41> 이후의 공정을 계속 살펴 본다.
- <42> 도 1c에 도시된 바와 같이, 플러그(17)가 형성된 전면에 제2층간절연막(18)과 제3층간절연막(19)을 형성한 다음, 스토리지노드 콘택홀 형성을 위한 포토레지스트 패턴(20)을 형성하고, 포토레지스트 패턴(20)을 식각마스크로 제3층간절연막(19)과 제2층간절연막(18)을 선택적으로 식각하여 플러그(17)를 노출시키는 콘택홀(21)을 형성한다.
- <43> 한편, 콘택홀(21) 형성시 SAC 식각 공정을 도입하여 실시하며, 전술한 산화막(13b)이 손실된 부분(a)에서는 이러한 SAC 식각 공정에서 식각된 틈새를 따라 더욱 급격히 식각이 이루어져, 도 1c에 도시된 'b'와 같이 게이트전극 패턴의 전도막(11b) 및 하드마스크(11c) 까지 손실이 발생하게 되며, 이는 결국 후속 스토리지노드 콘택용 플러그 형성시 게이트전극과 스토리지노드 콘택 플러그 사이의 전기적 단락을 일으키게 된다.
- <44> 전술한 도 1b에서의 산화막(13b)의 손실(a)은 하드마스크(11c)의 두께가 상대적으로 얇은 웨이퍼 가장자리 영역에서 더욱 심하게 발생하며, 도 1c에서와 같이 스토리지노드 콘택홀(21) 형성 공정에서 마스크의 오정렬이 발생할 경우 더욱 심하게 나타난다.

- <45> 이의 개선 방법으로 게이트 하드마스크(11c)의 두께 증가를 고려할 수 있으나, 이 경우에는 게이트 식각 전에 하드마스크의 두께를 높여야 하므로 게이트 식각 단면을 용이하게 제어하기가 힘들며, 특히 주변회로영역과 같은 고립된 패턴이 형성되는 곳에서는 식각전과 식각후의 CD의 차이가 발생하게 된다(Etch loading effect).
- <46> 아울러, 하드마스크의 두께 증가는 종횡비(Aspect ratio)의 증가를 초래하여 갭-필(Gap-fill) 불량 등 다른 문제점을 야기한다.
- <47> 또 다른 개선점으로 세정 단계에서 보다 묽은 세정 용액을 사용하는 방법을 고려할 수 있으나, 이 경우에는 세정 공정 시간이 길어지게 되어 생산성이 저하되는 문제점이 발생한다.
- <48> 또한, 스토리지 노드 콘택 형성시 오정렬에 따른 문제점을 줄이기 위해 스토리지노드 콘택의 사이즈를 작게 하는 방법도 고려할 수 있으나, 이는 콘택 오픈 결함의 발생과 재작업(Rework)의 증가를 초래할 수 있는 단점이 있다.
- <49> 계속해서, 후속 공정을 살펴 본다.
- <50> 도 1d에 도시된 바와 같이, 콘택홀(21)이 형성된 전면에 스토리지노드 콘택 플러그 형성을 위한 전도성 물질(예컨대, 도프드 폴리실리콘(Doped polysilicon))을 증착한 다음, CMP 공정을 통해 서로 격리된 스토리지노드 콘택 플러그(22)를 형성한다.
- <51> 한편, 전술한 바와 같은 산화막(13b)의 손실 및 후속 SAC 공정에서의 이러한 손실을 따라 발생하는 추가적인 게이트 하드마스크(11c)의 손실로 인해 스토리지노드 콘택 플러그(22)와 게이트 전도막(11b)이 도면부호 'c'와 같이 전기적으로 단락되었음을 알 수 있다.
- <52> 도 3은 도 1d의 공정이 완료된 공정 단면을 도시한 SEM 사진이다.

<53> 도 3을 참조하면, 식각정지막(S)의 중간에 위치한 산화막의 손실 및 이로 인한 SAC 공정에서의 게이트 하드마스크의 추가적인 손실(b)로 인해 스토리지노드 콘택 플러그(22)와 게이트 전도막 사이에 전기적 단락(c)이 발생하였음을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<54> 본 발명의 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로서, 그 양 끝에 질화막을 갖고 그 중간에 산화막을 갖는 다중 절연막 구조의 식각정지막을 측벽에 갖는 게이트전극 패턴 구조를 포함하는 반도체소자의 제조 공정 중 플러그 형성을 위한 CMP 후 실시하는 세정 공정에서의 산화막의 손실을 최소화하여 후속 스토리지노드 콘택 플러그와 게이트전극이 전기적으로 단락되는 것을 방지할 수 있는 반도체소자 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<55> 상기 목적을 달성하기 위하여 본 발명은, 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계; 상기 식각정지막 상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계; 상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계; 상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계; 상기 화학적기계적연마시 발생된 부

산물을 제거하기 위해 세정하는 단계; 상기 제1플러그가 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계; 및 상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계를 포함하며, 상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 상기 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 상기 제2플러그와 상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제2플러그와 상기 도전패턴 사이에 게재되도록 어택방지막을 형성하는 것을 특징으로 하는 반도체소자 제조 방법을 제공한다.

<56> 또한, 상기 목적을 달성하기 위하여 본 발명은, 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계; 상기 식각정지막 상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계; 상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계; 상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계; 상기 화학적기계적연마시 발생된 부산물을 제거하기 위해 세정하는 단계; 상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 후속 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 후속 제2플러그와 상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제1플러그 상에 어택방지

막을 형성하는 단계; 상기 어택방지막 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막과 상기 어택방지막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계; 및 상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

<57> 또한, 상기 목적을 달성하기 위하여 본 발명은, 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계; 상기 식각정지막 상에 제1층간절연막을 형성하는 단계; 상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계; 상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계; 상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계; 상기 화학적기계적연마시 발생된 부산물을 제거하기 위해 세정하는 단계; 상기 제1플러그 상에 제2층간절연막을 형성하는 단계; 상기 제2층간절연막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계; 상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 상기 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 후속 제2플러그와 상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제2콘택홀이 형성된 프로파일을 따라 어택방지막을 형성하는 단계; 에치백 공정을 통해 상기 제2콘택홀 저면에서의 상기 어택방지막을 제거하는 단계; 및 상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계를 포함하는 반도체소자 제조 방법을 제공한다.

- <58> 본 발명은, 최상부와 최하부에 질화막을 포함하고 그 중앙에 질화막에 비해 유전율이 낮은 절연성 물질막(예컨대, 산화막)을 포함하는 식각정지막을 그 측벽에 갖는 도전패턴(예컨대, 게이트전극 패턴) 사이에 제1플러그를 형성하기 위해 CMP 공정을 실시한 후, 질화막에 비해 세정 용액에 의한 식각율이 높아 CMP 공정에서 발생된 부산물을 제거하는 과정에서 절연성 물질막의 일부가 손실되어 후속 제2플러그(예컨대, 스토리지노드 콘택 플러그) 형성을 위한 식각 공정에서 상기 손실된 부위를 통해 그 손실이 더욱 심화되어, 결국 도전패턴과 제2플러그가 서로 전기적으로 단락되어 반도체소자의 불량을 야기하는 문제점을 해결하기 위해 도전패턴과 제2플러그 사이에 어택방지막이 게재되도록 형성한다.
- <59> 이를 위한 그 첫번째 방법으로, 제1플러그 형성을 위한 CMP 및 세정 후 그 전면에 어택 방지막을 증착하여 절연성 물질막이 손실된 부분을 채우도록 하여 후속 제2플러그 형성을 위한 식각 공정에서 어택방지막이 도전패턴 하부로 손실이 확장되는 것을 방지하는 것이다.
- <60> 그 두번째 방법으로는, 제2콘택홀 형성 공정까지 진행한 후, 손실된 절연성 물질막을 따라 도전패턴 부분까지 손실이 확장된 전체 프로파일을 따라 상기 손실된 부분을 충분히 감싸도록 어택방지막을 형성한 다음, 에치백 공정을 통해 제1플러그가 노출되도록 한 후, 제2플러그를 형성함으로써, 어택방지막을 통해 도전패턴과 제2플러그 간의 전기적 단락을 방지하는 것이다.
- <61> 상기 기술한 첫번째 및 두번째 방법에 있어서, 제2콘택홀을 형성한 다음 Ar/O₂에 의한 식각 후 실시하는 후처리 공정을 50초 이하로 짧게 하여 식각정지막 또는 게이트전극 패턴 상부의 하드마스크에 대한 손실을 줄일 수 있도록 하는 것이 바람직하다.

- <62> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.
- <63> 도 4a 내지 도 4d는 본 발명의 일실시예에 따른 반도체소자의 제조 공정을 도시한 단면도로서, 이를 참조하여 제조 공정을 상세히 살펴 본다.
- <64> 도 4a에 도시된 바와 같이, 반도체소자를 이루기 위한 여러 요소가 형성된 기판(40) 상에 절연막(41a)과 전도막(41b) 및 하드마스크(41c)가 적층된 구조의 복수의 게이트전극 패턴(G)과, 게이트전극 패턴(G) 사이의 기판(40)의 표면으로부터 확장된 구조의 활성층(42)을 형성한다.
- <65> 절연막(41a)은 보통 게이트절연막이라 명명하는 것으로 산화막 계열의 물질을 사용하며, 전도막(41b)은 게이트 또는 게이트전극이라 명명하는 것으로 폴리실리콘만을 단독으로 사용하는 구조, 폴리실리콘과 텅스텐 실리사이드가 적층된 폴리사이드 구조, 텅스텐만으로 이루어진 구조 또는 텅스텐과 텅스텐 실리사이드가 적층된 구조 등 다양한 구조로 형성이 가능하다.
- <66> 활성층(42)은 보통 P형 또는 N형의 불순물 이온주입과 열확산을 통해 형성하는 것으로, 소스/드레인 접합 등이 이에 해당한다.
- <67> 한편, 본 실시예에서는 도전패턴으로 게이트전극 패턴을 그 예로 하였으나, 게이트전극 패턴 이외에 다양한 도전패턴으로의 적용이 가능할 것이다.
- <68> 게이트전극 패턴(G)이 형성된 전체 프로파일을 따라 질화막(43a)과 산화막(43b) 및 질화막(43c)을 각각 얇게 증착하여 3중 구조의 식각정지막(S)을 형성한다.

- <69> 한편, 여기서는 식각정지막(S)의 구조를 질화막(43a)/산화막(43b)/질화막(43c)인 것을 그 예로 하였으나, 본 발명의 적용 범위는 그 양끝에 질화막 계열을 갖고 그 사이에 질화막에 비해 유전율이 낮은 절연성 물질막을 적어도 한 층 이상 포함하는 모든 경우에 해당한다.
- <70> 여기서, 본 발명의 절연성 물질막에 해당하는 물질로는 산화막 계열, Al_2O_3 막 또는 TaON막 등이 있다.
- <71> 예컨대, 질화막/산화막/질화막 또는 질화막/ Al_2O_3 막(TaON막)/질화막의 3 중 구조 또는 질화막/산화막/질화막/산화막/질화막의 5중 구조 등 다양한 형태로 적용이 가능하다.
- <72> 식각정지막(S)이 형성된 전면에 게이트전극 패턴(G) 사이의 충분히 매립하면서 그 상부가 평탄한 제1층간절연막(44)을 형성한다.
- <73> 제1층간절연막(44)은 산화막 계열을 사용한다. 제1층간절연막(44)으로 사용되는 산화막 계열의 물질막으로는 BPSG막, BSG막, PSG막, TEOS막, HDP 산화막, APL막, 유기 또는 무기 계열의 저유전율막 등을 단독 또는 적층하여 사용한다. 한편, 막 증착 후 상부의 평탄성을 확보하기 위해 별도의 플로우 공정과 평탄화 공정을 실시하기도 한다.
- <74> 제1층간절연막(44) 상에 포토레지스트를 도포하고 노광 및 현상 공정을 실시하여 셀 콘택을 위한 마스크인 포토레지스트 패턴(45)을 형성한 다음, SAC 식각 공정을 통해 셀 콘택을 위한 콘택홀(도시하지 않음)을 형성한다.
- <75> SAC 식각 공정을 구체적으로 살펴 보면, 먼저 포토레지스트 패턴(45)을 식각마스크로 제1층간절연막(44)을 식각(46)한 후, 질화막(43c)/산화막(43b)/질화막(43a)을 차례로 식각하여 활성층(42)이 노출되도록 한 후, 세정 공정을 통해 콘택 오픈 면적을 확보하고 식각 부산물을 제거한다.

- <76> SAC 식각 공정시에는 C와 F를 함유하는 C_3F_6 , C_4F_6 , C_4F_8 또는 C_5F_8 등의 가스와 C,H,F를 포함하는 CH_2F_2 등의 가스를 혼합하여 사용한다.
- <77> 이어서, 콘택홀이 형성된 전면에 폴리실리콘 등의 플러그 형성용 물질을 증착한 다음, CMP 공정을 통해 서로 격리된 복수의 플러그(47)를 형성한다.
- <78> 한편, CMP 공정시에는 연마 성분을 포함하는 부식성의 슬러리를 사용한다. 이 때, 주로 SiO_2 또는 CeO_2 계열의 슬러리를 사용하며, 이러한 슬러리의 찌꺼기 즉 부산물이 CMP 공정 후 플러그(47) 등의 상단에 잔류하게 된다.
- <79> 따라서, CMP 공정 후에는 별도의 세정 공정이 필요하며, 이 때 사용되는 세정액으로는 묽은 불산(HF) 또는 BOE가 사용된다.
- <80> 한편, 불산계 용액(불산을 포함하는 용액)은 산화막에 대한 식각률이 상당히 높아, 전술한 플러그(47) 격리 후 실시하는 세정시에 게이트전극 패턴(G)의 측벽 스페이서 형태의 식각정지막(S) 중 산화막(43b, 질화막을 제외한 절연성 물질막)에 대한 선택적인 식각이 이루어지게 된다.
- <81> 도 4b의 도면부호 'a'는 세정 공정에 의해 산화막(43b) 상부의 일부가 손실된 부분을 나타낸다.
- <82> 도 4c에 도시된 바와 같이, 플러그(47)가 형성된 전면에 제2층간절연막(48)과 제3층간절연막(49)을 형성한 다음, 스토리지노드 콘택홀 형성을 위한 포토레지스트 패턴(도시하지 않음)을 형성하고, 포토레지스트 패턴을 식각마스크로 제3층간절연막(49)과 제2층간절연막(48)을 선택적으로 식각하여 플러그(47)를 노출시키는 콘택홀(50)을 형성한다.

- <83> 한편, 세정 공정에 의해 산화막(43b)이 손실된 부분(a)은 제2콘택홀(50) 형성을 위한 SAC 식각 공정에서 도면부호 'b'와 같이 게이트전극 패턴(구체적으로 하드마스크(41c)와 전도막(41b))까지 확장된다.
- <84> 본 발명의 일실시예에서는 전술한 세정 공정에서 산화막(43b)에 발생된 손실(a)이 후속 제2콘택홀(50)을 형성하는 단계에서 게이트전극 패턴으로 확장되어 후속 제2플러그(예컨대, 스토리지노드 콘택 플러그)와 게이트전극 패턴이 전기적으로 단락되는 것을 방지하기 위해 콘택홀(50)이 형성된 프로파일을 따라 어택방지막(51)을 증착한다.
- <85> 어택방지막(51)은 질화막 계열의 물질막을 사용하여, 그 두께는 50Å ~ 500Å의 범위 내로 얇게 형성하는 것이 바람직하다.
- <86> 한편, 전술한 SAC 식각 공정 직후 습식 세정 공정전에 식각시 발생된 폴리머성 부산물을 일부 제거하기 위해 후처리(Post etch treatment) 공정을 실시하며, 이러한 후처리 공정으로 이용되는 건식 세정 공정은 통상의 Ar/O₂을 이용한다. 이 때 후처리 공정을 50초 이하로 짧게 실시하여 식각정지막 또는 게이트전극 패턴 상부의 하드마스크의 손실을 작도록 하는 것이 바람직하다.
- <87> 도 4c에서는 제2콘택홀(50) 형성 공정에서 마스크 오정렬이 발생하여 콘택 마스크가 중심 부분에서 'X' 방향으로 치우치게 되어 'b'와 같은 손실이 더욱 확장되었으며, 그 손실된 부위가 어택방지막(51)에 의해 채워져 있음을 확인할 수 있다.
- <88> 도 4d에 도시된 바와 같이, 에치백(Etchback) 공정을 실시하여 제3층간절연막(49) 상부와 제2콘택홀(50) 저면에서 어택방지막(51)을 제거한다.

- <89> 이어서, 전면에 스토리지노드 콘택 플러그 형성을 위한 전도성 물질(예컨대, 도프트 폴리실리콘)을 증착한 다음, CMP 공정을 통해 서로 격리된 스토리지노드 콘택 플러그(52)를 형성한다.
- <90> 전술한, 제2층간절연막(48) 증착 후 비트라인을 형성하는 공정을 실시하나, 도면 및 설명의 간략화를 위해 생략하였다.
- <91> 한편, 전술한 바와 같은 본 발명의 일실시예에서는 제2콘택홀(50) 형성 후, 그 프로파일 을 따라 어택방지막(51)을 증착하여 손실된 부분(b)을 채움으로써, 스토리지노드 콘택 플러그(52)와 게이트전극 패턴(G) 사이의 전기적 단락을 방지할 수 있었다.
- <92> 도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 반도체소자의 제조 공정을 도시한 단면도로서, 이를 참조하여 제조 공정을 상세히 살펴 본다.
- <93> 한편, 전술한 일실시예와 동일한 구성요소에 대해서는 동일부호를 사용하며, 그 설명을 생략한다.
- <94> 본 발명의 일실시예에서는 전술한 세정 공정에서 산화막(43b)에 발생된 손실(a)이 후속 제2콘택홀(50, 스토리지노드 콘택홀)을 형성하는 공정에서 게이트전극 패턴으로 확장되어 후속 제2플러그(예컨대, 스토리지노드 콘택 플러그)와 게이트전극 패턴이 전기적으로 단락되는 것을 방지하기 위해 도 4b의 공정이 완료된 전면에 어택방지막(51)을 증착한다.
- <95> 따라서, 도 5a는 산화막(43b)이 손실된 부분(a)에 어택방지막(51)이 감싸고 있는 공정 단면을 나타낸다.
- <96> 도 5b에 도시된 바와 같이, 어택방지막(51)이 형성된 전면에 제2층간절연막(48)과 제3층간절연막(49)을 형성한 다음, 스토리지노드 콘택홀 형성을 위한 포토레지스트 패턴(PR)을 형성

하고, 포토레지스트 패턴(PR)을 식각마스크로 제3층간절연막(49)과 제2층간절연막(48) 및 어택 방지막(51)을 선택적으로 식각하여 플러그(47)를 노출시키는 제2콘택홀(50)을 형성한다.

<97> 한편, 세정 공정에 의해 산화막(43b)이 손실된 부분(a)은 제2콘택홀(50) 형성을 위한 SAC 식각 공정에서 어택방지막(51)에 의해 게이트전극 패턴(구체적으로 하드마스크(41c)와 전도막(41b))까지 확장되는 것이 방지된다.

<98> 도 5b에서는 제2콘택홀(50) 형성 공정에서 마스크 오정렬이 발생하여 콘택 마스크가 중심 부분에서 'X' 방향으로 치우치게 되더라도 어택방지막(51)에 의해 그 하부로 손실이 확장되지 않음을 확인할 수 있다.

<99> 도 5c에 도시된 바와 같이, 제2콘택홀(50)을 포함하는 전면에 스토리지노드 콘택 플러그 형성을 위한 전도성 물질(예컨대, 도프트 폴리실리콘)을 증착한 다음, CMP 공정을 통해 서로 격리된 스토리지노드 콘택 플러그(52)를 형성한다.

<100> 전술한, 제2층간절연막(48) 증착 후 비트라인을 형성하는 공정을 실시하나, 도면 및 설명의 간략화를 위해 생략하였다.

<101> 한편, 전술한 바와 같은 본 발명의 다른 실시예에서는 제1플러그(51) 형성 및 세정 공정 후 전면에 어택방지막(51)을 증착하여 세정시 산화막(43b)의 손실된 부분(a)을 어택방지막(51)을 통해 감싸도록 함으로써, 스토리지노드 콘택 플러그(52)와 게이트전극 패턴(G) 사이의 전기적 단락을 방지할 수 있었다.

<102> 전술한 바와 같이 이루어지는 본 발명은, 최상부와 최하부에 질화막을 포함하고 그 중앙에 질화막에 비해 유전율이 낮은 절연성 물질막(예컨대, 산화막)을 포함하는 식각정지막을 그

측벽에 갖는 도전패턴(예컨대, 게이트전극 패턴) 사이에 제1플러그를 형성하기 위해 CMP 공정을 실시한 후, 질화막에 비해 세정 용액에 의한 식각율이 높아 CMP 공정에서 발생된 부산물을 제거하는 과정에서 절연성 물질막의 일부가 손실되어 후속 제2플러그(예컨대, 스토리지노드 콘택 플러그) 형성을 위한 식각 공정에서 상기 손실된 부위를 통해 그 손실이 더욱 심화되어, 결국 도전패턴과 제2플러그가 서로 전기적으로 단락되어 반도체소자의 불량을 야기하는 문제점을 해결하기 위해 도전패턴과 제2플러그 사이에 어택방지막이 게재되도록 형성함으로써, 이를 통해 전술한 문제점을 극복할 수 있음을 실시예를 통해 알아 보았다.

<103> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<104> 상기와 같이 본 발명은 도전패턴과 플러그 사이의 전기적 단락을 방지할 수 있어, 궁극적으로 반도체소자 수율을 향상시킬 수 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계;

상기 식각정지막 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계;

상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계;

상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계;

상기 화학적기계적연마시 발생된 부산물을 제거하기 위해 세정하는 단계;

상기 제1플러그 상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계; 및

상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계를 포함하며,

상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 상기 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 상기 제2플러그와

상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제2플러그와 상기 도전패턴 사이에 게재되도록 어택방지막을 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 세정하는 단계 후, 상기 플러그가 형성된 전면에 증착함으로써 상기 어택방지막을 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 제2콘택홀을 형성하는 단계 후, 상기 제2콘택홀이 형성된 프로파일을 따라 증착함으로써 상기 어택방지막을 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 4】

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 어택방지막은 질화막 계열인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 5】

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 어택방지막을 50Å 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 질화막에 비해 유전율이 낮은 절연성 물질막은, 산화막 계열, Al_2O_3 막 또는 TaON막 중 적어도 어느 하나의 막을 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 7】

제 1 항에 있어서,

상기 세정하는 단계에서,

불산 또는 완충산화막식각제(BOE)를 포함하는 세정액을 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 도전패턴은 게이트전극 패턴이며, 상기 제2플러그는 스토리지노드 콘택 플러그인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 9】

기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계;

상기 식각정지막 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계;

상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계;

상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계;

상기 화학적기계적연마시 발생된 부산물을 제거하기 위해 세정하는 단계;

상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 후속 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 후속 제2플러그와 상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제1플러그 상에 어택방지막을 형성하는 단계;

상기 어택방지막 상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막과 상기 어택방지막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계; 및

상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계

를 포함하는 반도체소자 제조 방법.

【청구항 10】

기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 그 최하부 및 최상부에는 질화막을 포함하고 그 중앙에는 상기 질화막에 비해 유전율이 낮은 적어도 하나의 절연성 물질막을 갖는 다중 구조의 식각정지막을 형성하는 단계;

상기 식각정지막 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막과 상기 식각정지막을 선택적으로 식각하여 상기 도전패턴 사이의 상기 기판을 노출시키는 제1콘택홀을 형성하는 단계;

상기 제1콘택홀을 포함한 전면에 전도막을 증착하는 단계;

상기 전도막을 화학적기계적연마하여 상기 도전패턴 상부 및 상기 제1층간절연막과 실질적으로 평탄화된 복수의 제1플러그를 형성하는 단계;

상기 화학적기계적연마시 발생된 부산물을 제거하기 위해 세정하는 단계;

상기 제1플러그 상에 제2층간절연막을 형성하는 단계;

상기 제2층간절연막을 선택적으로 식각하여 상기 제1플러그를 노출시키는 제2콘택홀을 형성하는 단계;

상기 세정하는 단계에서 상기 식각정지막 중 상기 질화막 이외의 절연성 물질막에 발생된 손실이 상기 제2콘택홀을 형성하는 단계에서 상기 도전패턴으로 확장되어 후속 제2플러그와

상기 도전패턴이 전기적으로 단락되는 것을 방지하기 위해 상기 제2콘택홀이 형성된 프로파일
을 따라 어택방지막을 형성하는 단계;

에치백 공정을 통해 상기 제2콘택홀 저면에서의 상기 어택방지막을 제거하는 단계; 및
상기 제2콘택홀을 통해 상기 제1플러그와 통전되는 제2플러그를 형성하는 단계
를 포함하는 반도체소자 제조 방법.

【청구항 11】

제 9 항 또는 제 10 항에 있어서,

상기 어택방지막은 질화막 계열인 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 12】

제 9 항 내지 제 10 항에 있어서,

상기 어택방지막을 50Å 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체소자
제조 방법.

【청구항 13】

제 9 항 또는 제 10 항에 있어서,

상기 질화막에 비해 유전율이 낮은 절연성 물질막은, 산화막 계열, Al_2O_3 막 또는 TaON막
중 적어도 어느 하나의 막을 포함하는 것을 특징으로 하는 반도체소자 제조 방법.

【청구항 14】

제 9 항 또는 제 10 항에 있어서,

상기 세정하는 단계에서,

불산 또는 완충산화막식각제(BOE)를 포함하는 세정액을 사용하는 것을 특징으로 하는 반도체소자 제조 방법.

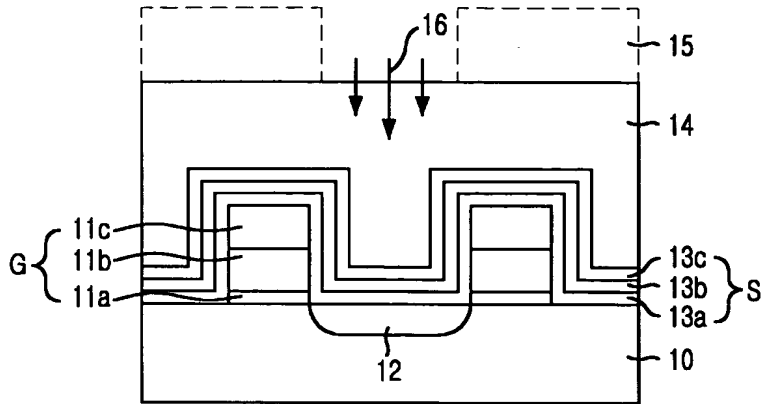
【청구항 15】

제 9 항 또는 제 10 항에 있어서,

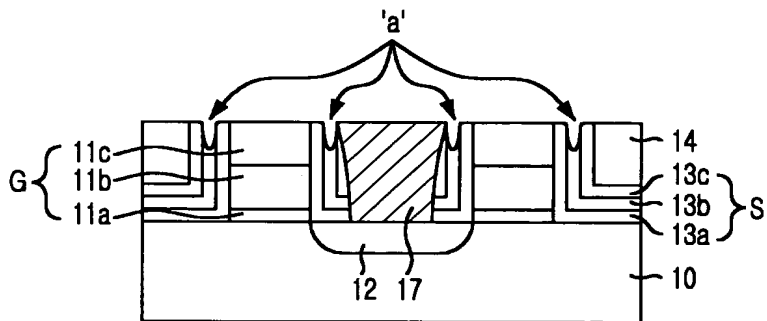
상기 도전패턴은 게이트전극 패턴이며, 상기 제2플러그는 스토리지노드 콘택 플러그인 것을 특징으로 하는 반도체소자 제조 방법.

【도면】

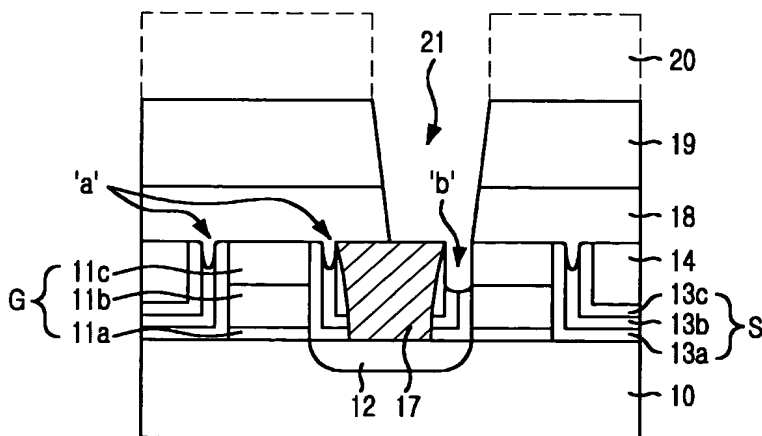
【도 1a】



【도 1b】



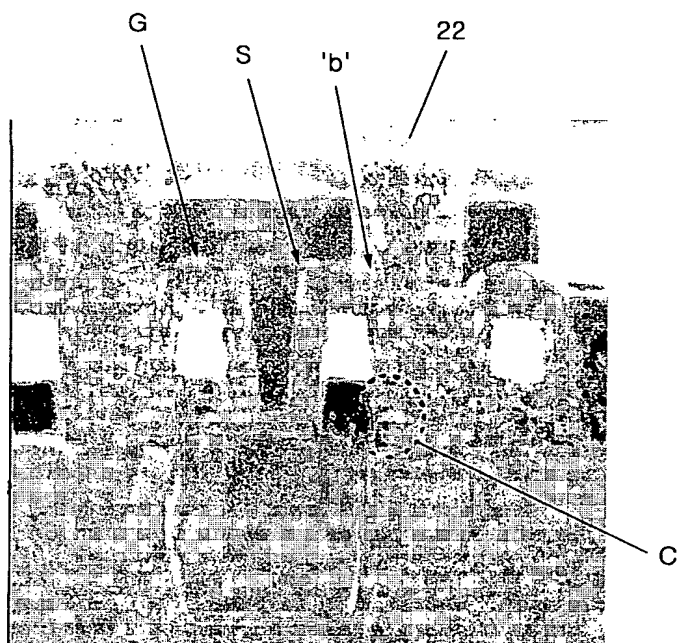
【도 1c】



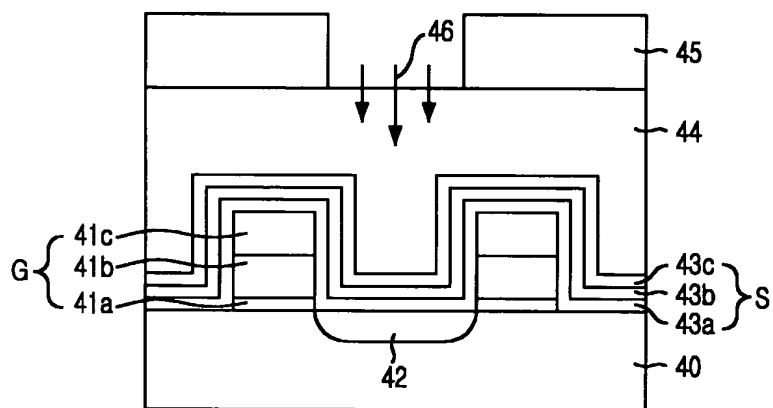
This cross-sectional view shows a central region 22, which is a semiconductor layer, positioned on a base 10. The base 10 is composed of several layers: 13a, 13b, and 13c. A layer 14 is located above the base 10. A layer 18 is positioned above the central region 22. A layer 19 is the topmost layer. A layer 12 is located below the central region 22. A layer 17 is located below the base 10. A layer 11a is located below the base 10. A layer 11b is located below the base 10. A layer 11c is located below the base 10. A dashed line indicates a cross-section 'a-a'.

This electron micrograph shows the surface morphology of GaAs(100) after etching. The surface is covered with a fine, granular texture. A prominent dark, square-shaped feature is located in the center. Three labels with arrows point to specific areas: 'G' points to the upper left, 'a' points to the center, and 'S' points to the upper right. A scale bar at the bottom left indicates 50 nm, and a label '470 Å' is visible near the center.

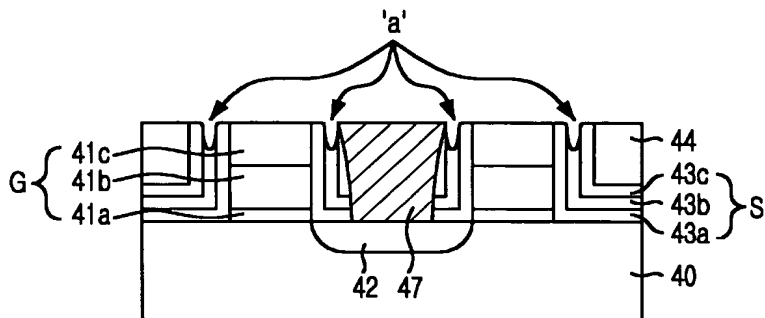
【도 3】



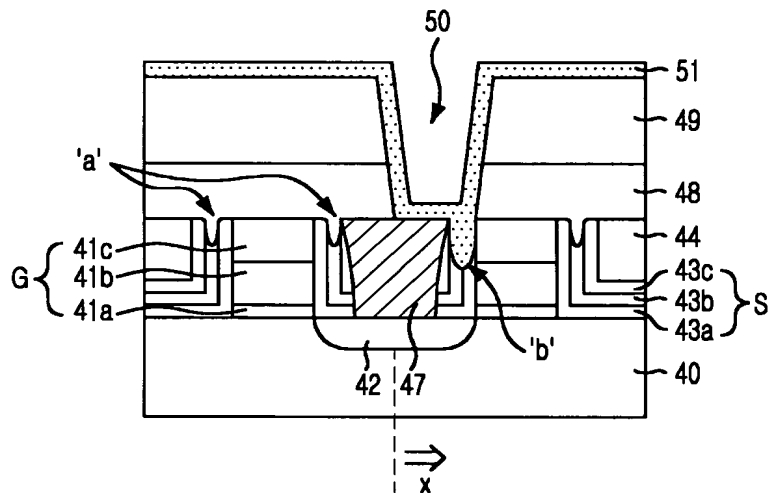
【도 4a】



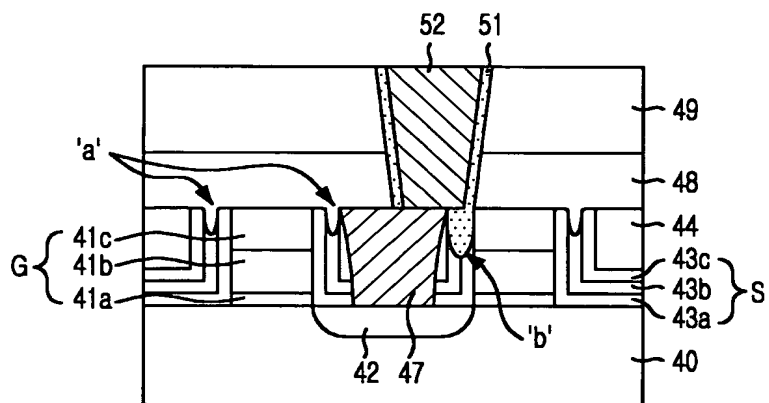
【도 4b】



【도 4c】



【도 4d】



This cross-sectional view shows the device structure along the X-X' line. The substrate 40 contains a central well 42. Above the well is a layer 47. The structure is symmetric about a central axis 50. On the left, a gate stack 41 (comprising 41a, 41b, and 41c) is shown. On the right, a source/drain region 43 (comprising 43a, 43b, and 43c) is shown. A layer 44 is located between the gate and source/drain regions. A layer 48 is above the gate and source/drain regions. A layer 49 is the topmost layer. The regions are labeled PR (Photoresist). The X-X' line is indicated by a dashed line with an arrow pointing to the right.

This cross-sectional view shows the device structure along the x-axis. A central region 52 is shown with a diagonal hatching pattern. It is surrounded by a layer 49, which is on top of a layer 48. Below layer 48 is a layer 51, which is a dotted line. Below layer 51 is a layer 44. Below layer 44 is a layer 43c, which is a solid line. Below layer 43c is a layer 43b, which is a solid line. Below layer 43b is a layer 43a, which is a solid line. Below layer 43a is a layer 40. A bracket G is shown on the left side, encompassing layers 41c, 41b, and 41a. A bracket S is shown on the right side, encompassing layers 43c, 43b, and 43a. A bracket 42 is shown below the central region 52, and a bracket 47 is shown below the central region 52. An arrow x points to the right, indicating the x-axis.